

⑫ 公開特許公報 (A)

平4-23577

⑬ Int. Cl. 5

H 04 N 5/335
5/225

識別記号

府内整理番号

Z 8838--5C
Z 8942--5C

⑭ 公開 平成4年(1992)1月27日

審査請求 未請求 請求項の数 7 (全12頁)

⑮ 発明の名称 固体撮像装置

⑯ 特 願 平2-126706

⑰ 出 願 平2(1990)5月18日

⑱ 発明者 高橋 健二 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発明者 秋山 俊之 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 発明者 三村 到 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉑ 発明者 小沢 直樹 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉒ 出願人 株式会社日立製作所

㉓ 代理人 弁理士 小川 勝男 東京都千代田区神田駿河台4丁目6番地

最終頁に続く

明細書

1. 発明の名称

固体撮像装置

2. 特許請求の範囲

1. 複数の信号出力線をもち、その出力線から撮像エリア中の異なる位置の画素信号情報を、同時にかつ別々に読みだすことが可能な固体撮像素子を使用し、前記固体撮像素子から、その素子の画素数とTVフォーマットから決定される読みだし周波数と異なる周波数で複数の画素情報を同時に読みだすこと、また前記複数の画素情報を一つもしくは複数の記憶装置に書き込むこと、さらに前記一つもしくは複数の記憶装置からTVフォーマットに適合するように読みだすことを特徴とした固体撮像装置。

2. 各水平走査線上の連続する画素信号を、複数の対応する信号出力線から連続して読みだす周波数は、前記撮像素子の水平画素数とTVフォーマットから決定される読みだし周波数の複数信号線数分の一であることを特徴とする請求項

1. 記載の固体撮像装置。

3. 固体撮像素子は、複数の水平読みだし用CCDを備えるCCD型撮像素子であり、複数の水平走査線の画素情報を、各々別個に収容できる複数の水平読みだしCCDへ転送し、前記複数の水平読みだしCCDを同時に読みだすことを特徴とする請求項1記載の固体撮像装置。

4. 出力信号を一つもしくは複数の記憶装置に書き込む、もしくは読みだす際に、複数の信号出力の各直流成分が異なる場合、各信号出力の基準黒レベル部のうち、一つを基準として他の残りの信号出力中の黒レベルとの差が極小となるよう補正する機能を有する事を特徴とする請求項1記載の固体撮像装置。

5. 上記補正機能として、撮像素子のオプチカルブラック部をクランプする複数のクランプ回路と、クランプ後の複数信号のオプチカルブラック部を再びサンプルホールドする回路と、サンプルホールド回路出力の差をとる差動増幅器とから構成され、差動増幅器の出力を前記したク

ランプ回路のうち、基準電圧にクランプするクランプ回路以外のクランプ回路のリファレンス電圧として帰還する補正回路を備えたことを特徴とする請求項4記載の固体撮像装置。

6. 複数の信号出力を記憶装置に書き込む際に、複数信号出力のうち、基準とした信号以外の信号を遅延する手段と、前記基準とした信号と他の遅延した信号を、撮像素子から信号を読みだした周波数よりも高速に切り替える手段と、順次一つもしくは複数の記憶装置に書き込む手段と、前記記憶装置からTVフォーマットに適合するよう読みだす事を特徴とする請求項1記載の固体撮像装置。

7. 前記記憶装置に書き込む周波数は、前記撮像素子の画素数とTVフォーマットから決定される周波数であることを特徴とする請求項6記載の固体撮像装置。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、固体撮像素子、特にCCDを用いた

撮像装置の駆動方法および信号読みだし処理回路に関するものである。

【従来の技術】

近年、家庭用ビデオカメラに多用されている撮像素子にCCD型撮像素子がある。CCD撮像素子は第2図(a)に示すように、順次信号電荷をCCDによって転送し、出力部まで導いてくる。第2図のCCDでは、インターライン型のCCDを示しているが、基本的には垂直CCD21、水平CCD22およびフォトダイオード部23、信号電荷を電圧に変換する信号検出部24から構成されている。垂直CCD21、水平CCD22は通常2相～四相のパルスによって駆動される。

次世代のテレビジョン方式として、現行テレビに比べ、より高精細な画像を提供できるHDTV(High Definition Television)の研究がさかんに行われている。HDTV方式では、画素数が現行方式に比べ、水平、垂直方向とも、2倍以上に増大している。ちなみにNHKが推進しているHDTVのスタジオ規格では、有効画素数が水

- 3 -

平1920×垂直1035となっている。HDTV用撮像素子の水平クロック周波数は、現行のNTSC方式が10～14MHzであるのに比べ、垂直周波数が33.75kHzと約2倍となるため、約5～7倍の74.25MHzにもなってしまう。HDTV用の撮像素子としてCCDが主に研究されているが、水平のクロック周波数がこのようになると、次に示す問題が生じてくる。

すなわち、水平CCDを駆動する条件としての問題は、水平CCDの駆動電極総容量は数十～数百ピコファラドと通常のNTSC方式用素子と変わらないにもかかわらず、駆動周波数は、5～7倍に高速化する必要がある。ちなみに駆動波形の立上り時間を次の条件で概算してみる。

水平CCDの駆動容量: 100PF

駆動周波数: 10, 3 MHz (NTSC)

: 74.25MHz (HDTV)

今、駆動波形の形状を第2図(b)に示すように、最悪でも波形の立上り、平坦部、立ち下がり部がほぼ同一時間(t_0)とれることを仮定する

- 4 -

と、NTSCの場合は、

$$93.12\text{ nS} \div 4 = 23.28\text{ nS}$$

HDTVでは、

$$13.47\text{ nS} \div 4 = 3.37\text{ nS}$$

となる。立上りの時定数を3:と見積り、容量100PFで計算すると、クロックドライバの出力インピーダンスは、NTSCで70Ω前後、HDTVでは、10Ωもの低インピーダンスを数百MHzもの広い帯域で実現しなければならない。この条件を満足することは、現状では非常に困難なことである。

そこで、第3図に示すように水平CCDを2本設け、信号を1画素毎に第1のCCD22' と第2のCCD22"へ交互に読み込み、水平の転送周波数の低速化(HDTVの場合、37.125MHz)を図っている。この方式では、別々の信号検出部24'、24"から出力された信号を外部回路で順番どおりに合成することが必要である。一般的にCCD撮像素子では、素子出力信号を、まず低雑音化の目的で相関二重サンプリング回路

(Correlated Double Sampling、以下 CDS 回路と記す) 处理を行う。

まず、CDS 回路について簡単に説明する。

CDS 回路は、素子の検出回路で発生するランダム雑音源のうちリセット雑音と $1/f$ 雜音（ここでは詳述せず）を低減する事ができる。一般には、クランプ回路とサンプルホールド回路から構成されている。

第4図に2行の水平CCDを備えた撮像素子の場合のCDS回路の一例を示す。第4図(b)のタイミング波形図にあるように、撮像素子からは1画素毎に交互に信号が得られる。（位相が180°反転）。よって第4図(c)に示すように180°位相のずれたパルスでそれぞれの出力信号をクランプ回路41、42でクランプし、リセット雑音を抑圧する。次にこの信号をハイインピーダンスバッファ回路で受けたのち、スイッチS1、S2とコンデンサCHで構成するサンプルホールド回路43で交互にサンプリングを行い（第4図(d)）、2出力を混合して等価的に2倍のサン

アル周波数の信号へ変換する（第4図(e)）。

2行読み出し方式の各信号出力の周波数スペクトラムを考える。第5図にこれを示す。第5図(a)は出力1の、(b)は出力2の周波数スペクトラムを示している。(b)で負方向にスペクトラムを記述したのは、出力1に対しこの成分が逆相であることを表わしている。出力1と出力2を合成したときのスペクトラムを(c)に示すが、クロック周波数 $f_{c\rho}$ の側波帶成分は互いに相殺し、原理的には $2f_{c\rho}$ で処理したのと等価となる。

しかし、2行読み出し方式はナイキスト周波数とクロック周波数が同一となるため、必要な出力信号帯域はクロック周波数ぎりぎりまで使用しなければならない。さらに、CCDの出力信号には、通常はクロック周波数成分がウェル等を介して漏洩してくる。このためクロックの飛込み状態が各チャンネルで異なる場合には、信号を合成したのにもクロック成分がキャンセルされずに残るという問題が発生する（第5図(c)中にしめす）。

また、2行読みだし方式では、撮像素子の2出力を外部回路（CDS回路等）で合成するまでの処理状態が何らか異なれば、同様の問題が発生する。この状態ではクロック成分は画面上に縦線となって現われ、大変画質を損なう。

【発明が解決しようとする課題】

従来、この対策として必要帯域を確保したうえでクロック成分を除去するためには、非常に急峻なフィルタ処理を行っていた。これにはフィルタ次数の高いフィルタやトラップを用いることになるが、これらのフィルタ処理は位相特性が悪く、信号波形に過度のリンギングを生ずることになり、これもまた画質を大幅に劣化させる要因になっていた。実用的に考えると、この成分を実用上問題ない程度に減衰するためには、比較的低い周波数よりもだらかに減衰をするようにフィルタを設計しなければならない。この場合、実質的な解像度が低下することになり、高解像度を必要とするHDTV用撮像装置では特に大きな問題となる。

【課題を解決するための手段】

そこで、本発明では、この複数本の水平CCDの構造と信号読みだし方法および信号処理を工夫し、前記した問題点を解決する手段を提供するものである。信号処理として使用する機能はメモリによる時間軸変換処理である。

近年、メモリは大容量・高速化が実現されると同時に価格も安価になり、ビデオ領域でも大量に使用されるようになってきた。

本発明ではTVフォーマットとセンサの画素数から決まる走査手順と異なった方法で読みだし、メモリ上で変換することにより、クロック周波数を水平CCDを一本用いる場合と実質的に同じとする。

すなわち複数の信号出力線をもち、その出力線から撮像エリア中の異なる位置の画素信号情報を、同時にかつ別々に読みだすことが可能な固体撮像素子を使用し、前記固体撮像素子から、その素子の画素数とTVフォーマットから決定される読みだし周波数と異なる周波数で複数の画素情報を同時に読みだすこと、また前記複数の画素情報

を一つもしくは複数の記憶装置に書き込むこと、さらに前記一つもしくは複数の記憶装置からTVフォーマットに適合するように読みだす。

【作用】

本発明を用いると、水平CCDは、同一水平走査線の全画素を連続して読みだすことができる。クロック周波数成分をナイキスト周波数外とする事が可能となり、前記の問題点を解決することができる。

【実施例】

第1図に本発明に用いる撮像素子の構成の一実施例を示す。従来の素子構成と異なる点は、垂直CCDの本数と同じ数のパケットを持つ水平CCDを複数本設けた点である（第1図では2本の例を示す）。

通常、インターライン型CCDでは、水平ブランкиング期間に一ラインづつ垂直CCDをシフトしてゆくが、本発明の素子構造では、複数本分設けたCCDの数だけ水平ブランкиング期間に垂直CCDを転送する。第1図では、2水平走査線づ

つ転送された電荷のうち、はじめの水平走査線の信号電荷は、一本目のCCD1'を乗り越えて2本目のCCD1"へ送られる。2本目の水平走査線の信号電荷は水平CCD1'に送られる。この動作が終了した後、2本の水平CCD1'、1"を同時に転送を開始させる。

上記本発明の構成において従来例と異なる点は、2水平走査線分の信号、すなわち2倍の画素を同時に読みだすことになる。つまり、出力端子1、2からは、撮像素子の水平画素数に対応した信号電荷が順次出力される。水平CCDを従来例と同様のクロック周波数（37, 125MHz）で駆動すると、当然のことながら1水平走査線の信号をすべて読みだすのには水平走査周期の2倍の時間が必要になる。このままではテレビジョン信号の規格に合致しないことになる。しかし、従来の駆動方法が2本のCCDから信号電荷を交互に読みだし、等価的に1水平走査線の全画素を走査していたに比べ、本発明では、2水平走査線の信号が複数出力端子1、2から、同時に得られるので、

-11-

-12-

各画素を走査する時間は、等価的に同一である。このことは、本発明の信号読みだし方法でも、テレビジョン方式の規格に信号を過不足なく変換できることを意味している。

次に、この信号変換方法について、第6図を用いて詳細に説明する。

固体撮像素子61からは、前述したように信号出力端子out1, out2より同時に得られる。固体撮像素子61には、クロックパルス発生器（同期信号発生器も含む）62より、水平方向の画素数を2倍の水平走査周期で走査するクロック周波数（37, 125MHz）が供給されている。信号出力S01, S02は、スイッチ回路63でフィールド周波数毎に切り換えられ、メモリ回路64, 65, 66, 67へ加えられている。

メモリ64, 65には第nフィールドの信号を書き込み、第n+1フィールドの信号はメモリ66, 67に書き込む。メモリ64, 65, 66, 67は、メモリアドレス発生回路68で作られたアドレス信号によって動作する。アドレス発生回

路68は同期信号発生回路62から同期パルスをもらい、同期して動作する必要があることは説明の必要がなかろう。

メモリ64, 65とメモリ66, 67はフィールド毎に書き込みと読みだしを交互に行なっている。第6図の実施例では、メモリ64, 65が書き込み状態であり、メモリ66, 67は読み出し状態となっている。メモリ66, 67には水平走査周期ごとに別々に分かれて書き込まれているので読みだし時には、スイッチ回路S4（次フィールドではS3）で読みだされた信号を水平走査周期ごとに交互に切り換えながら合成する必要がある。

第7図にこの動作のパルスタイミングチャートを示す。

V Dは垂直同期信号を表わし、H Dは水平同期信号を表わしている。S aはスイッチ回路63内のスイッチを駆動するパルスを示している。S b, S cはスイッチS3, S4を駆動するパルスを示しており、フィールド毎にどこにも接続されない

状態（第6図では、点線で表示）と1水平走査周期毎に切り替わる状態を繰り返す。A1, A2, A3, A4は、メモリ64, 65, 66, 67に加えられるアドレスの様子を模式的に表したものである。A1, A2はメモリ64, 65に対応しており、A3, A4はメモリ66, 67に対応している。

第6図では、メモリ64, 65は書き込み状態であり、アドレスの周期は撮像素子のクロックレートと当然同一である。この時、メモリ66, 67にはクロックレートの2倍の周期でアドレスが加えられており（A3, A4）、1走査周期毎とにメモリ66, 67から標準テレビジョン信号のレートで信号が読みだされている。また、メモリ66, 67には、第7図に示すように、1水平走査期間毎に交互にアドレス信号が加えられるため、第6図に示すスイッチS4（次フィールドではS3）を切り替えることによりテレビフォーマットに即した信号が連続的に得られる。

以上、述べたように、メモリを用いて時間軸変換を行うと、微小な信号電荷を扱う固体撮像素子

部では、1水平走査期間に対応した画素を2行に分けることなく連続して読みだすため、ナイキスト周波数位置にクロック周波数成分が存在することなく、前記した問題点を原理的に引き起こすことがない。本発明では、メモリで時間軸変換をする際には、読み出し周波数と書き込み周波数の関係が、前記した問題点を持つと危惧する向きもあるが、実際には、メモリ部での処理はデジタル処理となること、かつ信号はすでに十分增幅されているため、この問題に対する対策は非常に容易である。

前記したように、従来例のCCDの読み出し方法では、映像信号が1画素毎に異なった信号出力端子から得る事になるので、出力回路の直流分のバラツキ（DCオフセット）はクロック周波数成分（ナイキスト周波数）に変換されてしまい、実質的な信号帯域を制限しなければならない。これに比べ、本発明では各出力回路から連続的に信号を得るため、出力回路の直流分のバラツキはただそのまま直流分（信号の黒レベル）のバラツキと

なるだけである。これは1水平走査周期毎に直流分が変化するので画面に横縞となって現われるが、周波数的には、水平走査周波数成分である。テレビジョン信号には、水平、垂直周期毎に、ブランкиング期間が設けられているので、この期間を直流固定することで簡単にこの成分を除去することができる。

第8図(a)に、対策回路の一実施例を記載する。

撮像素子の信号出力S01, S02（ここでは前記したCDS処理を施した後の信号を意味する）はまず、クランプ回路81, 82で直流固定されるが、出力S01は適当な基準直流電圧Vfにクランプする。一方、信号出力S02は差動アンプ83の出力電位にクランプするように構成する。クランプ回路81, 82の処理出力は、A/Dコンバータ84, 85でデジタル信号D01, D02に変換する。デジタル信号D01, D02は、スイッチ回路63に加えられる。D02はD/Aコンバータ86に接続されている。D/Aコ

ンバータ86の出力は、スイッチS5とホールドコンデンサC1で構成するサンプルホールド回路につながっている。各サンプルホールド出力は、差動アンプ83の入力へ加える。

サンプルホールド回路のスイッチS5は第9図の撮像素子上に設けた光遮蔽領域（斜線部分）をクランプする。すなわち、第8図(b)に示すように信号の水平ブランкиング期間のうちオプチカルブラックの期間をサンプリングするパルス(c)で動作するようになる。クランプ回路81, 82も当然のことながら、第8図(c)のパルスで動作させる。第8図(a)の回路は2信号(S01, S02)の黒レベル（オプチカルブラックレベル）の差が常にゼロとなるように働くフィードバックループを構成している。この補正回路を用いることにより、簡単に各信号間の直流分のバラツキを改善する事ができる。

第8図の例では水平走査周期の直流固定によって補正する方法について述べたが、この方法は、水平周期に限らず垂直周期で行っても良い。

また、第8図では、デジタル変換出力を用いて補正する例を示したが、デジタル変換する前の信号、すなわちクランプ回路82の出力信号から直接サンプルホールド回路のスイッチS5へ加えても良いことは容易に理解できよう。

第10図(a)に、発明の趣旨は上記実施例とまったく同一であるが、異なった回路構成の別の実施例を示す。

撮像素子CCD61からの出力信号S01、S02は第10図(b)に示すように前述した相関二重サンプリング回路(CDS回路)によってサンプルホールドされた形で得られるのが普通である(第10図中には省略してある)。本発明では、複数の出力端子より、同時に、すなわち同一位置で信号が出力される。第10図(a)では、2出力のうち、一方の出力信号を遅延回路もしくはラッピング回路101で信号位相を180°シフトする(このシフト量は必ずしも180°である必要はない)。

この信号をスイッチS7によって、撮像素子の

1画素を走査する周波数の2倍のスピードで切り替える。スイッチS7の出力は、同様に2倍のスピードでデジタル変換が可能なA/Dコンバータ102に加えられる。第10図(d)にそのタイミングを示す。A/Dコンバータ102の出力は、フィールドごとに切り替わるスイッチS8を経てメモリ103、104に入力する。メモリ103には、アドレスジェネレータ105から、1画素周期(ここではクロック周波数の2倍のスピード)毎に第10図(b)、(c)①、②、③、④……の順番に読み込むように、第8図(a)中に示す走査線n、n+1上の各画素位置に対応したアドレスをメモリ103に供給する。このような構成によつても、第6図と同様な動作を行うことができる。メモリ104は、メモリ103が書き込み動作をしているとき、標準のテレビジョン信号レートで読みだしを行つてゐるのは、第6図の実施例と同様である。

この第10図の実施例でも2出力の直流分のバラツキを補正する必要があるのも同様であるが、

- 19 -

第8図に示した方法と同一思想で補正が実現できることが明白であるため、説明は割愛する。

以上、述べたように本発明の実施例は、撮像素子出力が2本ある場合を中心に説明したが、さらに多出力を持つような構成(例えば3本、4本……)としてもまったく同様の思想で実現できることは説明の必要がなかろう。また、本発明では撮像素子としてCCDを例にとって説明したが、撮像素子は本発明の条件を満たす読みだし方法が可能であればX-Yアドレス方式のMOS型、各画素に増幅機能を持つ撮像素子等以下なる種類でも良いことは自明である。

【発明の効果】

以上、本発明を用いれば、従来の読み出し方法の欠点であるナイキスト周波数に存在するクロック周波数成分を無くすことができ、広帯域化が達成できるばかりでなく、リングギング等も生じにくないので高画質化も実現できる。

4. 図面の簡単な説明

第1図は本発明に用いる固体撮像素子の構成を

- 20 -

示す平面図、第2図は従来例のCCD(インターライン型)撮像素子の構成を示す平面図および信号波形図、第3図は従来のHD用CCDの撮像素子の構成を示す平面図、第4図はHD用CDS回路のブロック図および波形タイミング図、第5図は従来方法の素子出力の周波数スペクトラムの説明図、第6図は本発明に用いる信号処理回路のブロック図、第7図は第6図の回路におけるタイミング波形図、第8図は黒レベル補正回路のブロック図とタイミング波形図、第9図は撮像素子上のオプチカルブラック配置の一例を示す平面図、第10図は本発明の別実施例の信号処理回路を示すブロック図およびその波形タイミング図である。

符号の説明

- 1 2'、1 2"…水平転送用CCD、
- 2 1…垂直CCD、2 3…ホトダイオード、
- 6 2…同期信号発生器および駆動回路、
- 6 3、S 3～S 8…スイッチ回路、
- 6 4～6 7、1 0 3～1 0 4…画像メモリ、
- 8 1、8 2…クランプ回路、

- 21 -

83…差動増幅器、

84、85、102…A/Dコンバータ、

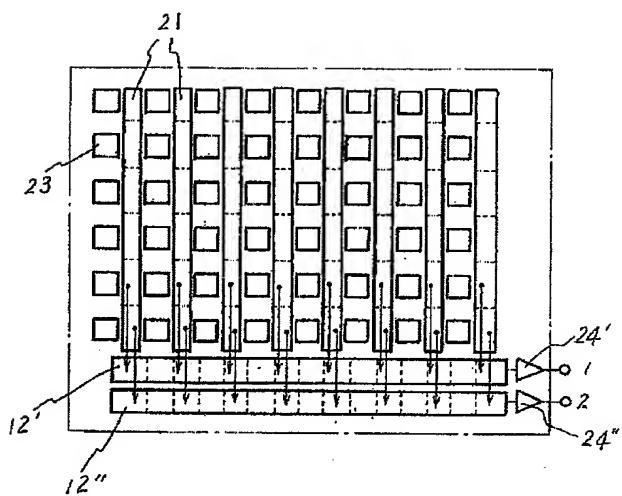
86…D/Aコンバータ、

101…遅延回路またはラッチ回路

代理人 弁理士 小川 勝

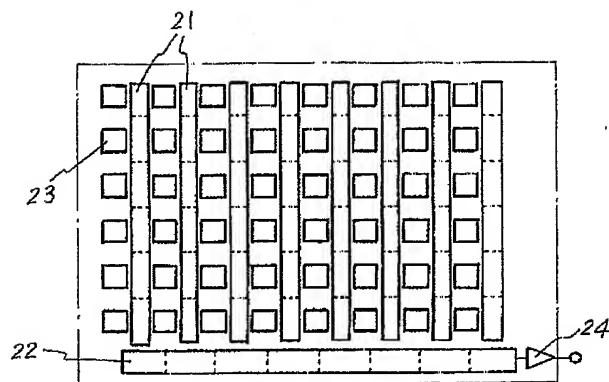

- 23 -

第 1 図

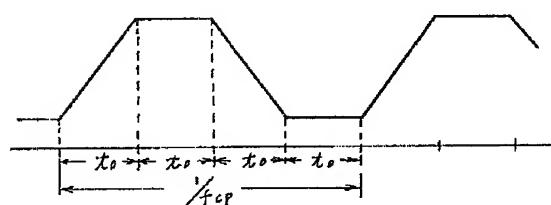


第 2 図

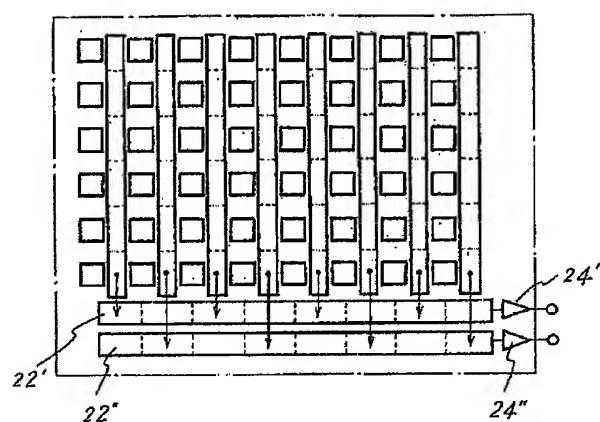
(a)

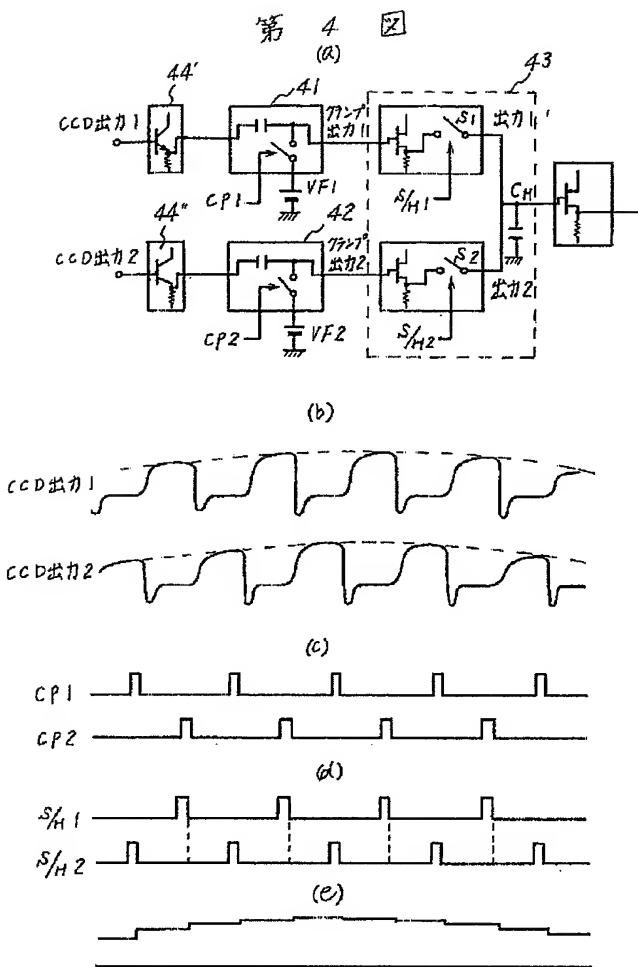


(b)

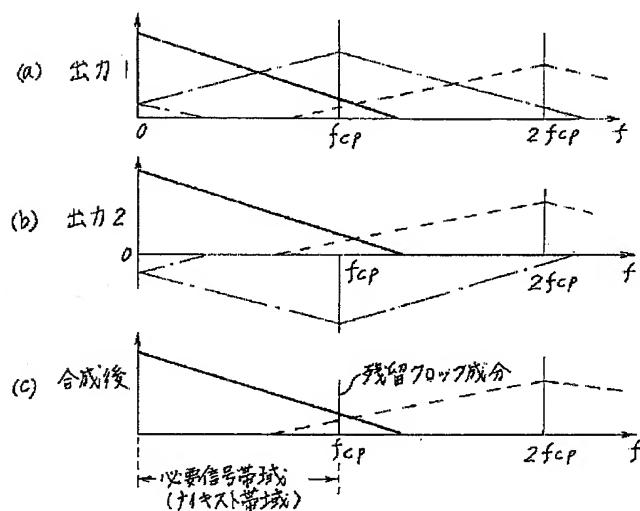


第 3 図

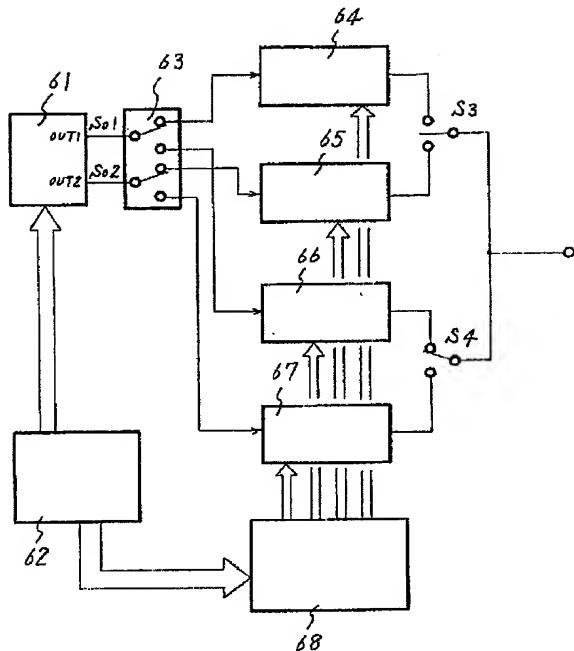




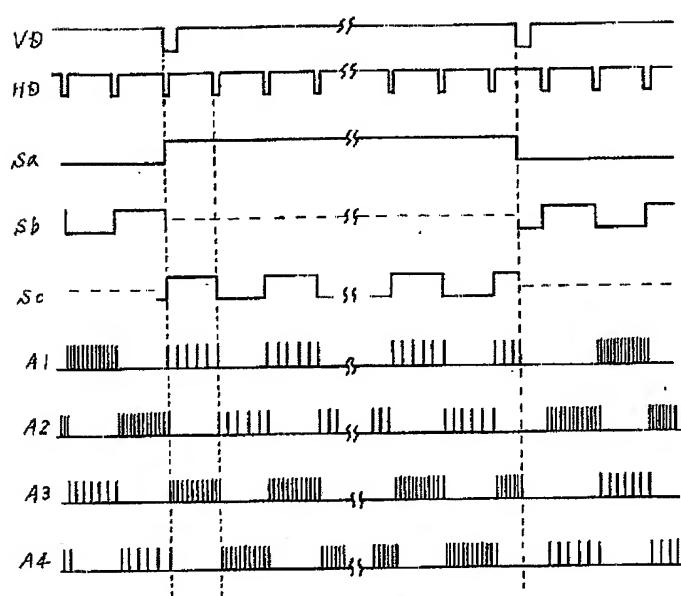
第 5 図



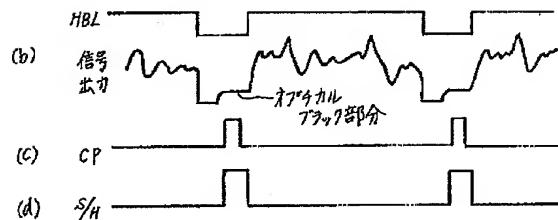
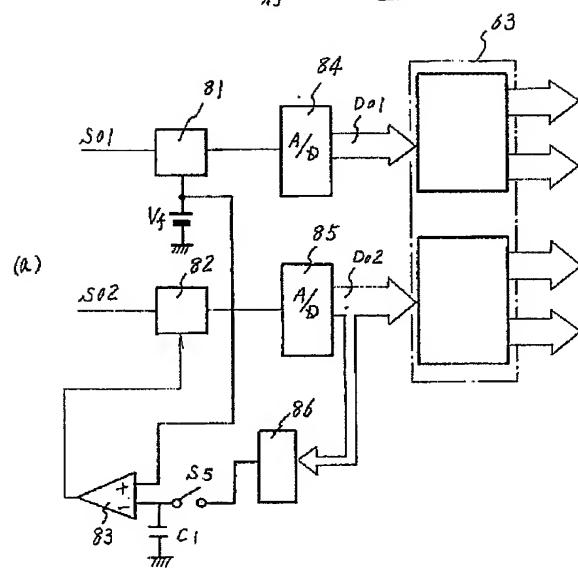
第 6 図



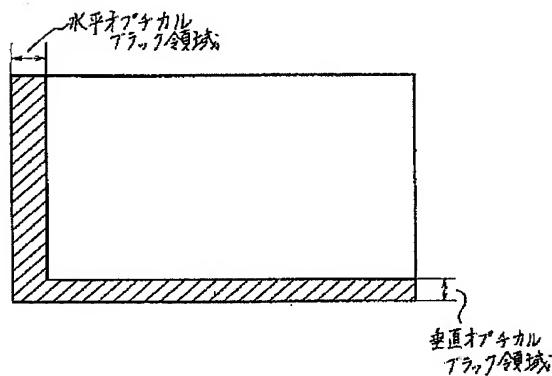
第 7 図



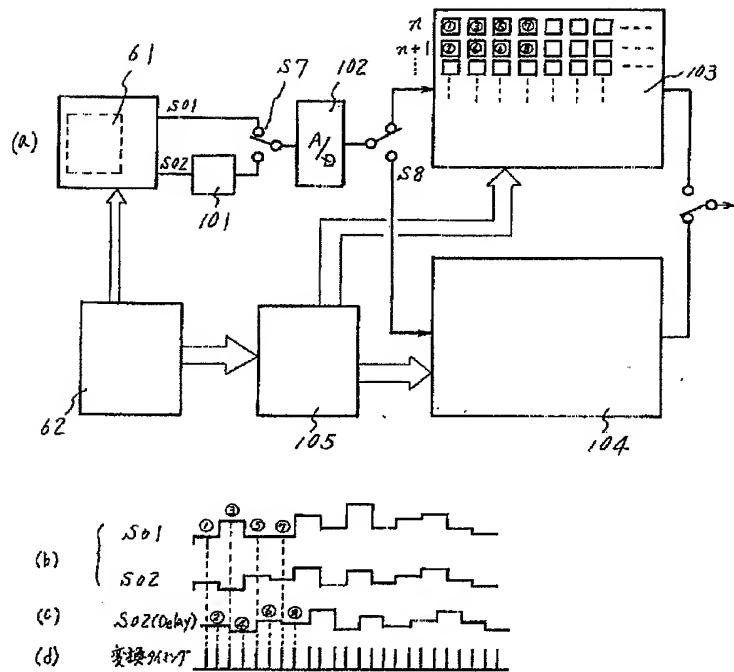
第 8 図



第 9 図



第 10 図



第1頁の続き

②発明者 松本 孝浩 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内